

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-063855

(43)Date of publication of application : 26.02.2004

(51)Int.Cl.

H01L 21/768

G03F 7/20

(21)Application number : 2002-221023

(71)Applicant : NEC MICRO SYSTEMS LTD

(22)Date of filing : 30.07.2002

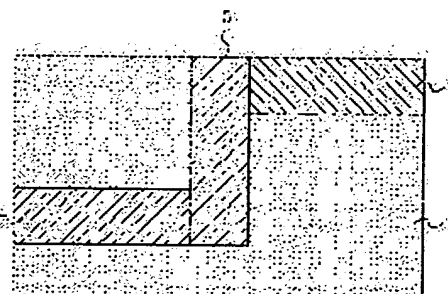
(72)Inventor : SATO TETSUJI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device, wherein a correction pattern of optical proximity effect is not used.

SOLUTION: In the conventional technique, rounding and retreat of the end portion of a corner of a lower layer metal wiring 2 or an upper layer metal wiring 3 are generated by the optical proximity effect, so that electrical contact with a via hole 3 becomes insufficient. In order to prevent this, a correction pattern is used in the conventional technology. In this method, the problem is solved by performing electrical connection between a via hole and a metal wiring with a side surface part. Since the contact area with the via hole is not reduced in this manufacturing method, even if rounding and retreat of the end portion of a corner of the metal wiring are generated, a pattern for correcting optical proximity effect becomes unnecessary.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

• .
[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-63855

(P2004-63855A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl.⁷H01L 21/768
G03F 7/20

F I

H01L 21/90 A
G03F 7/20 521

テーマコード (参考)

5F033

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2002-221023 (P2002-221023)
(22) 出願日 平成14年7月30日 (2002. 7. 30)(71) 出願人 000232036
NECマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403
番53
(74) 代理人 100109313
弁理士 机 昌彦
(74) 代理人 100111637
弁理士 谷澤 清久
(74) 代理人 100085268
弁理士 河合 信明
(72) 発明者 佐藤 徹二
神奈川県川崎市中原区小杉町一丁目403
番53 エヌイーシ
ーマイクロシステム株式会社内

最終頁に続く

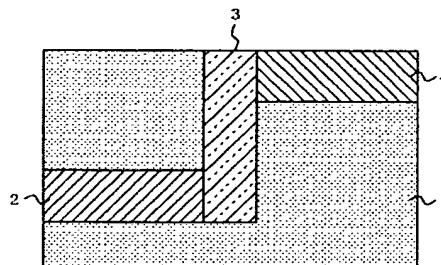
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 光近接効果の補正パターンを用いない半導体装置の製造方法を提供することにある。

【解決手段】 光近接効果によって下層メタル配線2または上層メタル配線3のコーナーの丸まりや終端の後退が生じ、その結果、ビアホール3との電氣的接触が不十分となっていた。これを防ぐために、従来技術では補正パターンを用いていたが、本発明ではビアホールとメタル配線との電氣的接続を側面部分で行うことにより解決する。本発明による製造方法ではメタル配線のコーナーの丸まりや終端の後退が発生してもビアホールとの接触面積が減少しないため光近接効果を補正するようなパターンが不要となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電氣的接続をビアホールの下層メタル配線と上層メタル配線の両方あるいは一方とビアホールとの電氣的接続をビアホールの側面部で行うことを特徴とする半導体装置。

【請求項 2】

下層層間絶縁膜に溝を形成して配線溝とし、この下層配線溝に配線材料を埋め込んだ下層メタル配線と、その上層に形成した上層層間絶縁膜と、この上層層間絶縁膜に露光現像により形成した開口部と、前記上層層間絶縁膜にエッチングによって形成した上層配線溝と、この配線溝に配線材料を埋め込み形成した上層メタル配線と、露光現像により形成した開口部と、前記上層メタル配線および前記下層メタル配線並びに前記上層層間絶縁膜をエッチングして形成したビアホール溝と、このビアホール溝にビア材料を埋め込んだビアと、を有することを特徴とする請求項 1 記載の半導体装置。 10

【請求項 3】

下層層間絶縁膜にフォトレジストを塗布し、露光現像により開口部を形成する、次にフォトレジストをマスクとして前記下層層間絶縁膜に下層配線溝を形成して、この下層配線溝に配線材料を埋め込み下層メタル配線を形成した後、上層層間絶縁膜を形成し、次にフォトレジストを塗布し、露光現像により開口部を形成する、次にフォトレジストをマスクとして前記上層層間絶縁膜をエッチングして上層配線溝を形成する、次にフォトレジストを剥離し、配線材料を前記上層配線溝に埋め込み、上層メタル配線を形成し、その後第 2 のフォトレジストを塗布し露光現像により開口部を形成して、フォトレジストをマスクとして前記上層メタル配線および前記下層メタル配線並びに前記上層層間絶縁膜をエッチングしてビアホール溝を形成して、フォトレジストを剥離しビア材料を前記ビアホール溝に埋め込むとを特徴とする半導体装置の製造方法。 20

【請求項 4】

前記上層メタル配線に隣接メタル配線が存在することを特徴とする請求項 1 乃至 2 記載の半導体装置。

【請求項 5】

大面積メタル配線に複数のコンタクトやビアホールを配置し、コンタクトもしくはビアホールの層間膜への開口部を形成することを特徴とする請求項 3 記載の半導体装置の製造方法。 30

【請求項 6】

大面積メタル配線に複数のコンタクトやビアホールを配置したことを特徴とする請求項 1 乃至 2 記載の半導体装置。

【請求項 7】

前記上層メタル配線と前記下層メタル配線が 90 度の角度を有して配置され、各メタル配線をコンタクトもしくはビアホールで接続することを特徴とする請求項 1 乃至 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 40

本発明は半導体装置およびその製造方法に関し、特にメタル配線とビアホールの構造およびその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路装置を製造する為の拡散プロセスの微細化が進むにつれ、レイアウト設計したパターンと実際の半導体集積回路装置パターンとの間で形状が異なるという問題が発生してきている。これは、光近接効果 (Optical Proximity effect) によるものと言われている。光近接効果とは、光露光装置でマスク投影像を作る際に生じる現象で、近接したパターンの影響によりパターンの形状劣化や寸法誤差が発生する事を言う。実際には、レジストの影響やマスク作成時の近接効果なども含まれる。 50

【0003】

この現象をメタル配線を形成する工程を例にあげて説明する。メタル配線終端部において、そのメタル配線の上或いは下に位置する別のメタル配線と電氣的接続を行う為のコンタクト或いはビアホールが存在する場合を考える。このような条件下で製造すると、メタル配線の終端部が、上記の光近接効果により後退することがある。この時、配線の上下にコンタクトやビアホールが存在すると、メタル配線が後退した分、コンタクトやビアホールとの接続が不十分となり、この部分で電気抵抗の増加や断線を引き起こす事となる。

【0004】

この為、如何にレイアウト設計時の形状に準じたメタル配線パターンを形成するかが重要な問題となっていた。従来の技術では、上述の光近接効果の問題を解決する為に、レイアウト設計が完了したレイアウトデータに対して、EWSツールを使用し、光近接効果補正 (Optical Proximity effect Correction: 以下OPCと略す) を行い、様々な形状のOPCパターンをレイアウトデータに附加するという手法がとられている。

【0005】

従来の半導体の断面構造は図13に示すように下層メタル配線2または上層メタル配線4とビアホール3との電氣的接続はビアホール3の底面または上面に対して行われていた。これに対し本発明による半導体の製造方法では下層メタル配線または上層メタル配線とビアホールとの電氣的接続がビアホールの側面部分で行われることを特徴としている。

【0006】

この従来の技術では、実際の半導体集積回路装置として、拡散後のパターン形状が、レイアウト設計時の形状に近いものが形成でき、一応の効果を奏している。

【0007】

【発明が解決しようとする課題】

上述した従来の半導体装置の製造方法においては、OPCパターンをレイアウトデータに附加する為、レイアウトデータの増加という問題を含んでいる。例えば、上記補正のデータを用いてマスク作成用データを作成すると、2 Gbyteを超える事も珍しくない。今後、拡散プロセスの微細化が進むと、更なるOPCパターンの増加が予想され、レイアウトデータの増加も避けられない。また、前出したように、OPCパターンを生成する為には、EWSを用いるがそのアルゴリズムや実行プログラムを作成する際にも非常に多くの技術的工数や専門知識を必要とする為、効率的な開発を阻害する要因ともなっている。したがって、本発明の主な目的の一つは、半導体集積回路装置のコンタクト及びビアホールが存在するメタル配線終端部において、光近接効果を補正するOPCパターンを使用しない半導体集積回路の製造方法を提供することにある。本発明の主な他の目的は、前記OPCパターンを使用しない方法を提供することにより、従来OPCパターンを生成する為のアルゴリズムやプログラムの作成のための技術工数削減とそれらを使用して作成されるマスク作成用データのサイズの増大を防ぐ事にある。

【0008】

【課題を解決するための手段】

本発明の半導体装置は、電氣的接続をビアホールの下層メタル配線と上層メタル配線の両方あるいは一方とビアホールとの電氣的接続をビアホールの側面部で行うことを特徴とする。また、下層層間絶縁膜に溝を形成して配線溝とし、この下層配線溝に配線材料を埋め込んだ下層メタル配線と、その上層に形成した上層層間絶縁膜と、この上層層間絶縁膜に露光現像により形成した開口部と、前記上層層間絶縁膜にエッチングによって形成した上層配線溝と、この配線溝に配線材料を埋め込み形成した上層メタル配線と、露光現像により形成した開口部と、前記上層メタル配線および前記下層メタル配線部並びに前記上層層間絶縁膜をエッチングして形成したビアホール溝と、このビアホール溝にビア材料を埋め込んだビアと、を有することを特徴とする。

【0009】

本発明の半導体装置の製造方法は、下層層間絶縁膜にフォトリジストを塗布し、露光現像

により開口部を形成する、次にフォトリジストをマスクとして前記下層層間絶縁膜に下層配線溝を形成して、この下層配線溝に配線材料を埋め込み下層メタル配線を形成した後、上層層間絶縁膜を形成し、次にフォトリジストを塗布し、露光現像により開口部を形成する、次にフォトリジストをマスクとして前記上層層間絶縁膜をエッチングして上層配線溝を形成する、次にフォトリジストを剥離し、配線材料を前記上層配線溝に埋め込み、上層メタル配線を形成し、その後第2のフォトリジストを塗布し露光現像により開口部を形成して、フォトリジストをマスクとして前記上層メタル配線および前記下層メタル配線並びに前記上層層間絶縁膜をエッチングしてビアホール溝を形成して、フォトリジストを剥離しビア材料を前記ビアホール溝に埋め込むとを特徴とする。

【0010】

10

【発明の実施の形態】

次に、本発明について図面を参照して説明する。本発明による半導体装置の基本的概念は図1に示すように下層メタル配線2または上層メタル配線4とビアホール3との電気的接続がビアホール3の側面部分で行われることを特徴としている。

【0011】

図2は本発明の第1の実施形態の構成を示す平面および上面図である。図2に示されるように、本実施形態は、本発明の一実施形態としての上層メタル配線4とビアホール3の半導体集積回路装置の平面図が示されている。下層メタル配線は省略がOPCパターンを付け加えていないことにより上層メタル配線4にコーナーの丸まりや終端部の後退が発生する。図3は、図2のA-A'線に沿った断面図である。

20

【0012】

図3の構造をもつ半導体装置を製造するために、まず図4(a)に示すようにSiO₂などの層間絶縁膜1上に第1のフォトリジスト6を塗布し、露光現像により開口部5を形成する。次に図4(b)に示すように第1のフォトリジスト6をマスクとして層間絶縁膜1をエッチングし、配線溝7を形成する。その後図4(c)に示すように第1のフォトリジスト6を剥離し、Cuなどの配線材料を配線溝7に埋め込み、上層メタル配線4を形成する。

【0013】

そして、図4(d)に示すように第2のフォトリジスト8を塗布し露光現像により開口部5を形成する。次に、図4(e)に示すようにフォトリジスト8をマスクとして層間絶縁膜1をエッチングするとビアホール溝9が得られ、フォトリジスト8を剥離して、ビア材料をビアホール溝9に埋め込むと図4(f)すなわち図4の構造をもつ半導体が形成される。尚、以上の製造工程では下層メタル配線の製造工程を省略しているが下層メタル配線の製造工程も略上層配線の製造工程と同じであり、図1と同様の構造となる。

【0014】

この第1の実施形態の効果を説明する。図5(a)に示す従来技術では、この図では、ハンマーヘッド型OPCパターン10を使用することでOPCパターン間に微小スリット11が発生していた。この微小スリット11は、マスク作成時や半導体集積回路の製造時に所望する形状パターンが形成されない要因となる。この為、従来技術ではこの微小スリット11領域をOPCパターン発生ツールを使用して自動的に無くす処理を行っていた。図5(b)に示す本発明を導入した場合ではOPCパターンを必要としない為、前記微小スリット11が発生することは無く前述の処理を施す必要が無い。

40

【0015】

また第1の実施形態の効果を第6図について説明する。図6(a)の従来技術ではOPCパターン(図ではハンマーヘッド型OPCパターン10を示す)に隣接メタル配線12が存在した場合、OPCパターンの形状を補正する処理をOPCパターン発生ツールで行う必要があった。図6(b)に示す本発明の第3の実施形態ではOPCパターンを必要としない為、ツールでの処理を施す必要が無い。

【0016】

さらに第1の実施形態の効果を図7に示す。図7(a)は従来技術例を示し、OPCパタ

50

ンの中で、ハット型OPCパターン16と呼ばれるもので、前述したハンマーヘッド型OPCパターン10と異なり、コンタクトやビアホール3が存在する部分全体を覆う様に生成されるものである。比較のため示す第1の実施形態である図7(b)ではこのパターンも必要が無い。

【0017】

加えて、この第1の実施形態の効果を図8の示す。図8(a)は従来技術例を示し、OPCパターンの中で、伸長型OPCパターン17と呼ばれるもので、前述したハンマーヘッド型OPCパターン10と異なり、配線端をコンタクトやビアホール3が存在する部分を含め更に延長し、光近接効果によるメタル配線パターン形状の変化の影響を抑えようとするものである。比較のために示す図8(b)ではこのパターンも必要としない。

10

【0018】

図9(a)に本発明による実施の形態と図9(b)に従来技術の製造工程の概念をフローチャートに示す。

【0019】

前実施形態では、本発明をメタル配線パターン終端部にビアホールを配置して製造する例を示したが、従来技術とOPCパターンを使用しない本発明の他の実施形態について図を用いて以下に示す。

【0020】

第2の実施形態を図10に示す。図10(a)の従来技術では、OPCパターン、図10ではハンマーヘッド型OPCパターン10の場合を示す、を配置する為に、前記したような微小スリット補正やOPCパターン自身の形状補正等が必要とならないようコンタクト或いはビアホール間隔13aを広げて配置する必要があった。図10(b)に示す本実施形態ではOPCパターンを必要としない為、前述の様にコンタクトやビアホールの間隔13bを狭めることが可能であり、レイアウト面積の増大を防ぐことが出来る。

20

【0021】

第3の実施形態を図11に示す。図11(a)は、本実施形態の平面図、図11(b)は、本実施形態のメタル配線形成直後の図11(a)のA-A'部の断面構造を示す。本実施形態は大面積メタル配線14に複数のコンタクトやビアホール3を配置した場合の例を示す。図11(b)の本実施形態の場合、大面積メタル配線14のコンタクトやビアホールが存在する位置3には予めメタル配線を配置しない領域として作成する。その後の製造は第1の実施形態と同様にコンタクトもしくはビアホールの層間膜への開口部を形成する工程を経て全体のパターンを形成する。

30

【0022】

第4の実施形態を図12に示す。図12(a)は従来例を示す。上層メタル配線4と下層メタル配線2が90度の角度を有して配置され、各メタル配線をコンタクトもしくはビアホール3で接続する場合を示すものである。従来技術ではセリフ(Serif)型OPCパターン15が生成されていたが、図12(b)に示す本実施形態では必要が無い。

【0023】

【発明の効果】

以上説明したように、本発明による製造方法では、光近接効果によって半導体集積回路上のメタル配線終端部に後退が発生しても、ビアホールとメタル配線の電氣的接触面積が減少しないのでOPCパターンを用いる必要が無い。また、OPCパターンが不要であることからマスク作成用データのデータサイズが増大しないという効果が得られる。メタル配線とビアホールとの電氣的接続をビアホールの側面部分で行うという基本構成に基づき、OPCパターンを用いない半導体の製造方法が実現できる。また、OPCパターンを必要としないことからマスクデータの増大が抑えられるという利点も得られる。なお、本発明は上記各実施形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。

40

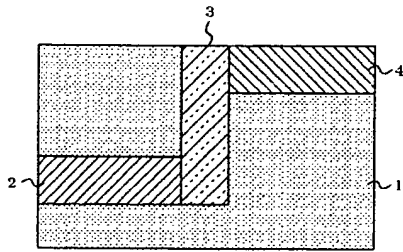
【図面の簡単な説明】

【図1】本発明による半導体装置の構造を示す断面図

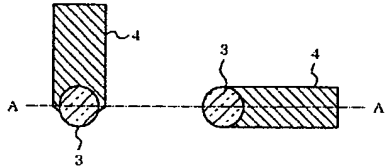
50

【図2】 本発明の第1の実施の構造を説明する為の上面図	
【図3】 本発明の第1の実施の構造を説明する為の断面図	
【図4】 本発明の第1の実施の製造方法を説明する為の断面図	
【図5】 本発明の第1の実施の効果を説明する為の断面図	
【図6】 本発明の第1の実施の効果を説明する為の断面図	
【図7】 本発明の第1の実施の効果を説明する為の断面図	
【図8】 本発明の第1の実施の効果を説明する為の断面図	
【図9】 本発明の第1の実施の製造方法を説明するためのフローチャート	
【図10】 本発明の第2の実施の構造を説明する為の断面図	
【図11】 本発明の第3の実施の構造を説明する為の断面図	10
【図12】 本発明の第4の実施の構造を説明する為の断面図	
【図13】 従来の半導体装置の構造を示す	
【符号の説明】	
1 層間絶縁膜	
2 下層メタル配線	
3 ビアホール	
4 上層メタル配線	
5 開口部	
6 第1のフォトレジスト	
7 配線溝	20
8 第2のフォトレジスト	
9 ビアホール溝	
10 ハンマーヘッド型OPCパターン	
11 微小スリット	
12 隣接メタル配線	
13 ビアホール間隔	
14 大面積メタル配線	
15 セリフ型OPCパターン	
16 ハット型OPCパターン	
17 伸長型OPCパターン	30

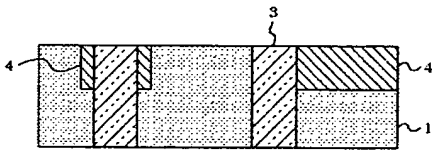
【図 1】



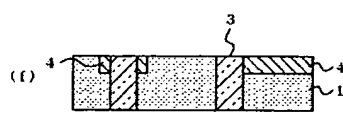
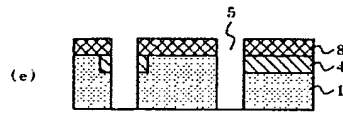
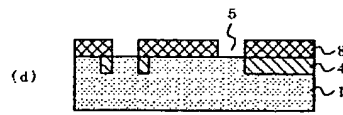
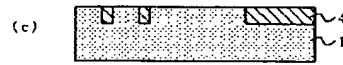
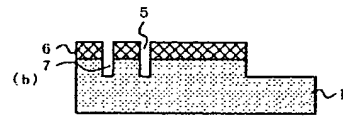
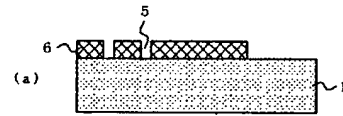
【図 2】



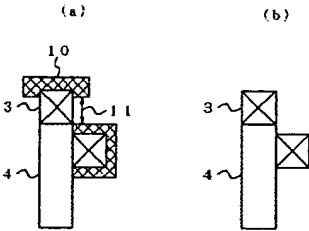
【図 3】



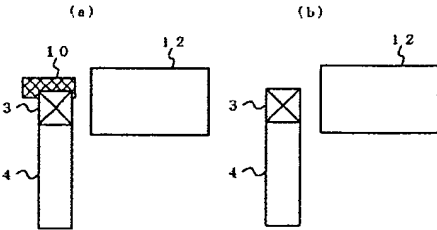
【図 4】



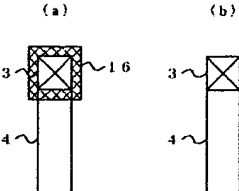
【図 5】



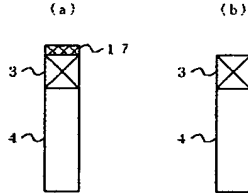
【図 6】



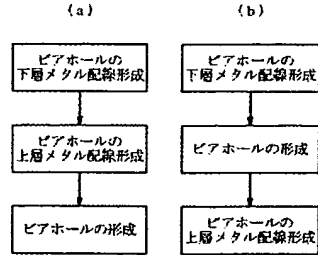
【図 7】



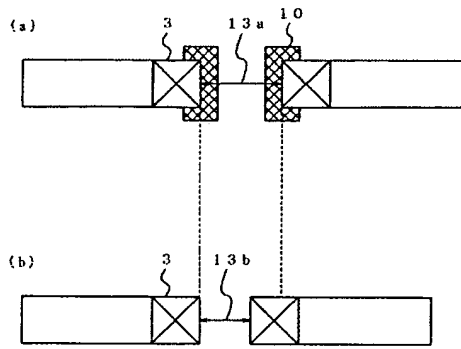
【図 8】



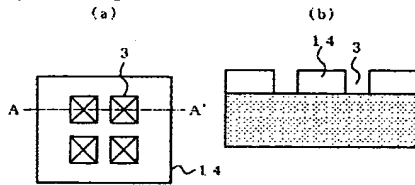
【図 9】



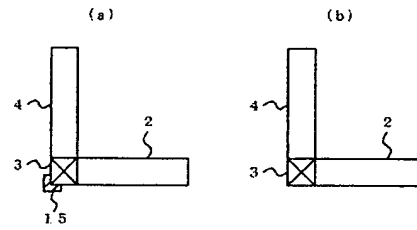
【図 10】



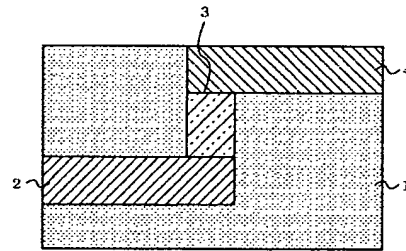
【図 11】



【図 12】



【図 13】



フロントページの続き

F ターム(参考) 5F033 HH11 JJ11 KK11 MM01 NN16 NN34 QQ09 QQ37 RR04 UU04
XX03 XX09